

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-022397

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

H01L 21/8238
H01L 27/092
H01L 21/205
H01L 21/265
H01L 21/316
H01L 29/78
H01L 21/336

(21)Application number : 08-176320

(71)Applicant : RICOH CO LTD

(22)Date of filing : 05.07.1996

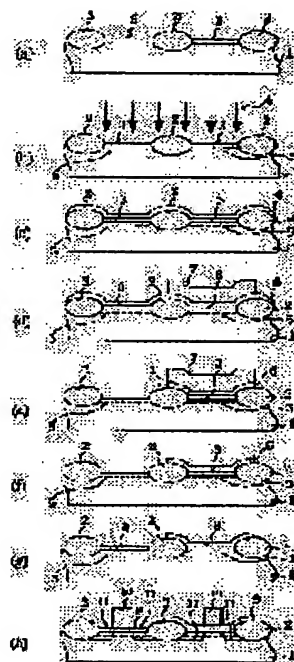
(72)Inventor : KUSUNOKI MASAMUNE

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device manufacturing method which greatly increases the degree of freedom of the thickness of a gate insulation film of a high-voltage semiconductor device.

SOLUTION: The method forms a plurality of types of semiconductor elements having high- and low-voltage insulation films on the same substrate. It comprises the steps of forming a gate insulation film 3 for all the semiconductor elements, introducing an impurity for adjusting the thresholds of the semiconductor elements through the insulation film 3, forming a CVD oxide film 6 on the insulation film 3, patterning a resist 7 only on the regions for forming the insulation film of the high-voltage semiconductor elements, forming the insulation film of the high-voltage semiconductor elements, using the resist 7 as a mask, removing the CVD oxide film 6 and gate insulation film 3 located on other than the insulation film forming regions for the high-voltage elements, removing the resist 7 located on these regions, and heat treating in an oxidative atmosphere to form the insulation film 8 for the low-voltage semiconductor elements.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22397

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L	27/08
	27/092			21/205
	21/205			21/316
	21/265			21/265
	21/316			21/94
				S
				U
				A
審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平8-176320

(22) 出願日 平成8年(1996) 7月5日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 楠 雅統

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

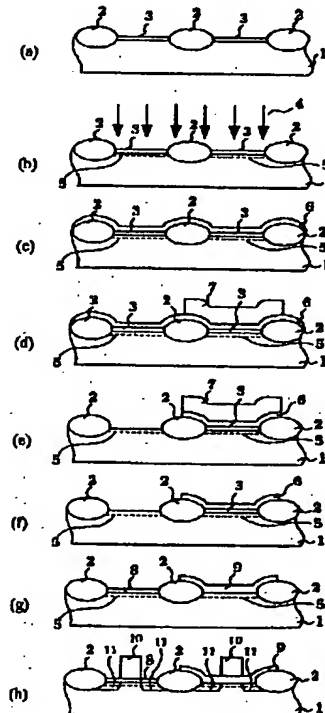
(74) 代理人 弁理士 鳥居 洋

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 この発明は、高電圧用半導体素子のゲート絶縁膜の膜厚の自由度を大幅に改善した半導体装置の製造方法を提供することを目的とする。

【解決手段】 高電圧用絶縁膜と低電圧用絶縁膜を備えている複数種類、複数個の半導体素子を同一基板上に形成する半導体装置の製造方法において、すべての半導体素子のゲート絶縁膜3を形成する第1の工程と、ゲート絶縁膜3を通して半導体素子のしきい値を調整するための不純物を導入する第2の工程と、ゲート絶縁膜3上にCVD酸化膜6を形成する第3の工程と、高電圧用半導体素子の絶縁膜を形成する領域のみにレジスト7をパターニングする第4の工程と、パターニングされたレジスト7をマスクにして高電圧用半導体素子の絶縁膜を形成する領域以外にあるCVD酸化膜3とゲート絶縁膜3を除去する第5の工程と、高電圧用半導体素子の絶縁膜を形成する領域にあるレジスト7を除去した後、酸化性雰囲気において低電圧用半導体素子の絶縁膜8を形成するための熱処理を施す第6の工程と、を含む。



【特許請求の範囲】

【請求項1】 高電圧用絶縁膜と低電圧用絶縁膜を備えている複数種類、複数個の半導体素子を同一基板上に形成する半導体装置の製造方法において、

すべての半導体素子のゲート絶縁膜を形成する第1の工程と、

前記ゲート絶縁膜を通して半導体素子のしきい値を調整するための不純物を導入する第2の工程と、

前記ゲート絶縁膜上に絶縁膜、半導体膜のどちらか一方、もしくは両方を形成する第3の工程と、

高電圧用半導体素子の絶縁膜を形成する領域のみにレジストをパターンニングする第4の工程と、

パターンニングされたレジストをマスクにして高電圧用半導体素子の絶縁膜を形成する領域以外にある絶縁膜、半導体膜のどちらか一方、もしくは両方とゲート絶縁膜を除去する第5の工程と、

高電圧用半導体素子の絶縁膜を形成する領域にあるレジストを除去した後、酸化性雰囲気において低電圧用半導体素子の絶縁膜を形成するための熱処理を施す第6の工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第3の工程における絶縁膜が少なくともCVD法で形成した酸化膜または窒素を含んだCVD法で形成した酸化膜で構成されている膜であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第3の工程における半導体膜は少なくともポリシリコン膜もしくはアモルファスシリコン膜のどちらか一方を含む膜であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記第3の工程における酸化膜を高温CVD法で形成した酸化膜とすることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項5】 前記第3の工程における半導体膜の膜厚を前記第6の工程で形成する低電圧用半導体素子の絶縁膜の膜厚よりも薄くすることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】 前記第3の工程における半導体膜に不純物を導入し、酸化雰囲気での酸化レートを大きくすることによって、前記第6の工程での低電圧用半導体素子の絶縁膜形成時に半導体膜をすべて酸化膜にすることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項7】 前記第6の工程における酸化性雰囲気は少なくとも N_2O または NO を含んだ酸化性雰囲気であることを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、同一半導体基板上に高電圧用、低電圧用半導体素子が複数種類、複数個形成されている半導体装置の製造方法に係り、特に半導体装置の微細化を可能にする半導体装置の製造方法に関

するものである。

【0002】

【従来の技術】同一半導体基板上に高電圧用、低電圧用半導体素子が複数種類、形成されている半導体装置の製造方法に関しては種々の方法が提案されている。

【0003】例えば、特開昭60-201636号公報には、同一半導体基板表面に膜厚の異なる酸化膜を同時に形成するために、予め膜厚を薄く形成する上記同一半導体基板表面に、窒素イオンを注入した後、該半導体基板表面を酸化することにより、同時に膜厚の異なる酸化膜を形成する半導体装置の製造方法が提案されている。

【0004】また、特開平1-112773号公報には、同一基板上の高電圧、低電圧用素子を含むすべての半導体のゲート膜を成長させる第一の工程と、低電圧用半導体素子のゲートとなる部分の絶縁膜とすべての半導体素子のソース及びドレインと同一の拡散層が形成される部分の絶縁膜とを同時に除去する第二の工程と、前記除去した低電圧用半導体素子のゲート膜を成長させると同時に、除去しない高電圧用半導体素子のゲート膜を再成長させる第三の工程とを含む半導体装置の製造方法が提案されている。

【0005】

【発明が解決しようとする課題】ところで、半導体素子の微細化を進める上で、しきい値電圧の制御は極めて重要な問題である。このために、半導体素子のチャネルとなる部分に不純物を注入して、そのしきい値電圧を制御している。不純物の注入はできるだけゲート酸化膜と半導体界面付近が不純物のピーク値になるようにすることが多いので、予め基板を酸化熱処理してある厚みをもった酸化膜を形成した後に、不純物を注入している。このようにすることで、所望の界面に不純物のピーク値をもってくるのが容易になり、しきい値電圧の制御性が向上する。

【0006】しかしながら、前述した特開昭60-201636号公報に提案された方法では次のような問題点がある。

【0007】まず、第1に提案された技術によって形成した同一基板上の酸化膜厚の異なる半導体素子に不純物を注入した場合、同じ注入エネルギーで注入飛程は同じなので異なる膜厚では不純物のピーク値を所望の界面にもってくることは困難である。

【0008】また、上記第1の問題点を回避するための方法として、一様な膜厚の酸化膜を形成し、不純物の注入を行った後、前記酸化膜を除去し、窒素注入後ゲート酸化膜形成をする方法があるが、工程数の増加によって製造工程に不利になる。

【0009】さらに、上記の方法で不純物の注入前の一様な膜厚の酸化膜を除去しないで、その上から窒素注入後ゲート酸化膜を形成すれば工程数の増加による製造工期へのデメリットはなくなる。しかし、しきい値電圧調

整用の不純物と窒素とを注入された酸化膜はかなりのダメージを受けていると考えられ、それをゲート酸化膜として用いることは膜の信頼性を低下させる要因となってしまう。また半導体素子の微細化を進めるとゲート酸化膜は薄膜化傾向にあり、その点でも注入によるダメージは不利である。

【0010】また、特開平1-112773号公報に提案されている方法においては次のような問題がある。

【0011】半導体素子の微細化を進めて、サブハーフミクロン世代になるとゲート酸化膜の膜厚は7~9nm程度になるため、自然と低電圧用半導体素子のゲート酸化膜の膜厚は7~9nm程度になる。また、しきい値電

圧調整用の不純物を注入する際の基板上の酸化膜厚は10nm前後になる。それはCMOSトランジスタを形成するとき、埋め込みチャネル型のPMOSTランジスタを採用しようとするれば、ゲート酸化膜と半導体界面付近にP層を極めて制御よく形成しなければならない。そのためには、不純物の注入エネルギーを低エネルギーにしなければならず、注入飛程はおのずと浅くなる。従って、不純物を注入する際の基板上の酸化膜厚はその注入飛程から10nm前後になってしまい、それ以上は厚くできない。

【0012】

【表1】

	第一工程後	第2工程後	第三工程前	第三工程後
低電圧ゲート膜	10	0	0	8
高電圧ゲート膜	10	10	8	12

(単位: nm)

【0013】上記表1は従来技術を用いて低電圧用、高電圧用ゲート膜を形成した場合の各工程でのゲート膜厚の推移をまとめたものである。

【0014】まず、第一工程により半導体基板上に10nmの酸化膜を形成し(低電圧用ゲート膜: 10nm、高電圧用ゲート膜: 10nm)、次に第二工程で低電圧用ゲート膜を形成する部分だけを除去した(低電圧用ゲート膜: 0nm、高電圧用ゲート膜: 10nm)。第三工程に行く前に低電圧用ゲート膜を形成する部分にある自然酸化膜を除去する目的で半導体基板洗浄を処理した(低電圧用ゲート膜: 0nm、高電圧用ゲート膜: 8nm)。最後に第三工程を処理すると、図3に示した一般的な酸化レートにより低電圧用ゲート膜を8nm成長させる場合、酸化時間は8分であるから、高電圧用ゲート膜は最初8nmだったので、酸化を8分行くと最終的には12nmの高電圧用ゲート膜が形成される(低電圧用ゲート膜: 8nm、高電圧用ゲート膜: 12nm。)

【0015】従って、従来技術により同一基板上にCMOSTランジスタ、特に高電圧用、低電圧用埋め込みチャネル型のPMOSTランジスタを形成しようとするとき、第一の工程のゲート膜の膜厚は10nm前後としなければならない。また、第三の工程において低電圧用埋め込みチャネル型のPMOSTランジスタのゲート膜の膜厚を7~9nm程度にしようすると、高電圧用埋め込みチャネル型のPMOSTランジスタのゲート膜の膜厚は12~15nm程度にしかならない。

【0016】そこで、AISCなどのLSI回路で論理回路、アナログ回路、半導体記憶装置などを混載できる半導体装置内の高電圧半導体素子、例えば埋め込みチャネル型のPMOSTランジスタに10~20Vの高電圧

を印加する必要性が出てきた場合、前記の12~15nm程度の膜厚では信頼性を確保できない。

【0017】この発明は、上述した従来の問題点を解決するためになされたものにして、半導体素子の微細化を可能にし、同一基板上の高電圧用、低電圧用素子を含むすべての半導体素子の信頼性を確保しつつ、特に高電圧用半導体素子のゲート膜の膜厚の自由度を大幅に改善した半導体装置の製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】この発明は、高電圧用絶縁膜と低電圧用絶縁膜を備えている複数種類、複数個の半導体素子を同一基板上に形成する半導体装置の製造方法において、すべての半導体素子のゲート絶縁膜を形成する第1の工程と、前記ゲート絶縁膜を通して半導体素子のしきい値を調整するための不純物を導入する第2の工程と、前記ゲート絶縁膜上に絶縁膜、半導体膜のどちらか一方、もしくは両方を形成する第3の工程と、高電圧用半導体素子の絶縁膜を形成する領域のみにレジストをパターニングする第4の工程と、パターニングされたレジストをマスクにして高電圧用半導体素子の絶縁膜を形成する領域以外にある絶縁膜、半導体膜のどちらか一方、もしくは両方とゲート絶縁膜を除去する第5の工程と、高電圧用半導体素子の絶縁膜を形成する領域にあるレジストを除去した後、酸化性雰囲気において低電圧用半導体素子の絶縁膜を形成するための熱処理を施す第6の工程と、を含むことを特徴とする。

【0019】上記の製造方法によれば、低電圧用半導体素子において、半導体素子の微細化によるゲート酸化膜の薄膜化の要求を満足させることができる。また、同一基板上の高電圧用素子を含むすべての半導体素子におい

て、低電圧用半導体素子はもちろん、高電圧用半導体素子の絶縁膜については、下部の絶縁膜には、始めしきい値電圧調整用の不純物を注入されて膜にダメージが残るが、その後、熱処理とその直上部の品質のよい膜の形成により、全体として高電圧用半導体素子の絶縁膜の信頼性を確保できる。そして、特に高電圧用半導体素子の絶縁膜について、その膜厚は下部の絶縁膜の直上部に形成する膜の膜厚により、全体の膜厚の自由度を改善できる。

【0020】また、この発明は、前記第3の工程における絶縁膜が少なくともCVD法で形成した酸化膜（以下、CVD酸化膜という。）または窒素を含んだCVD酸化膜で構成されている膜で構成することができる。

【0021】上記のように、窒素を含んだCVD酸化膜を用いれば、高電圧用半導体素子の絶縁膜の信頼性が向上する。

【0022】また、この発明は、前記第3の工程における半導体膜は少なくともポリシリコン膜もしくはアモルファスシリコン膜のどちらか一方を含む膜で構成することができる。

【0023】上記のように、半導体膜として少なくともポリシリコン膜もしくはアモルファスシリコン膜のどちらか一方を含む膜を用いることで、膜形成温度を比較的低温で形成することができ、均一性も比較的良好であるために、温度によるチャネル不純物の再拡散を抑えることができ、高電圧用半導体素子の絶縁膜を均一にできるので良好な素子を作成することができる。

【0024】また、この発明は、前記第3の工程における酸化膜を高温CVD酸化膜で構成することができる。

【0025】更に、この発明は、前記第3の工程における半導体膜の膜厚を前記第6の工程で形成する低電圧用半導体素子の絶縁膜の膜厚よりも薄くするとよい。

【0026】上記のように構成することで、高電圧用半導体素子の絶縁膜には、未反応の半導体膜が残らないですべて酸化膜にすることができるので、高電圧用半導体素子の電気特性にバラツキを生じることがない。

【0027】また、この発明は、前記第3の工程における半導体膜に不純物を導入し、酸化雰囲気での酸化レートを大きくすることによって、前記第6の工程での低電圧用半導体素子の絶縁膜形成時に半導体膜をすべて酸化膜にするように構成することができる。

【0028】上記のように構成することで、高電圧用半導体素子の絶縁膜について、下部の絶縁膜の直上部に形成する半導体膜は、未反応の半導体膜が残らないですべて酸化膜にすることができ、かつその膜厚をさらに大きくできるので、全体の膜厚の自由度を大幅に改善できる。

【0029】更に、この発明は、前記第6の工程における酸化性雰囲気は少なくとも N_2O または NO を含んだ酸化性雰囲気とするとよい。

【0030】上記のように構成することで、高電圧用半導体素子の絶縁膜及び低電圧用半導体素子の絶縁膜に窒素が導入され、両方の絶縁膜の信頼性が向上する。

【0031】

【発明の実施の形態】以下、この発明の実施の形態につき図面を参照して説明する。図1は、この発明の第1の実施の形態を工程別に示す断面図である。この実施の形態は、高電圧用、低電圧用埋め込みチャネル型のPMOSTランジスタを作成した場合である。

【0032】図1(a)に示すように、シリコン半導体基板1上に公知のLOCOS法により素子分離酸化膜2を形成後、シリコン半導体基板1全面に、 $850^{\circ}C$ のウェット酸化雰囲気ですきい値調整用の不純物注入用ゲート酸化膜3を10nm成長させる。

【0033】次に、図1(b)に示すように、シリコン半導体基板1の上からしきい値電圧調整用の不純物4として、リン(P)を加速電圧120keV、ドーズ量 $5e12cm^{-2}$ の条件で注入した後、ボロン(B)を加速電圧15keV、ドーズ量 $2e12cm^{-2}$ の条件で注入し、トランジスタのチャネルを形成する部分に不純物層5を形成する。

【0034】続いて、図1(c)に示すように、シリコン半導体基板1上に高温CVD酸化膜6を N_2O と SiH_4 の混合ガスを用いて $800^{\circ}C$ で10nm形成する。

【0035】しかる後に、図1(d)に示すように、高電圧用埋め込みチャネル型PMOSTランジスタのゲート酸化膜となる領域にレジスト7を公知のフォトリソ技術により形成する。

【0036】次に、図1(e)に示すように、HF（フッ酸）含む水溶液を用いてレジスト7をマスクにして、高電圧用埋め込みチャネル型PMOSTランジスタのゲート酸化膜となる領域以外にある高温CVD酸化膜6としきい値調整用不純物注入用ゲート酸化膜3をウェット除去する。そして、図1(f)に示すように、レジスト7を除去後、低電圧用埋め込みチャネル型PMOSTランジスタのゲート酸化膜となる領域の自然酸化膜を除去するための洗浄を行う。

【0037】その後、図1(g)に示すように、 $850^{\circ}C$ のウェット酸化雰囲気ですきい値調整用ゲート熱酸化膜8を8nm成長させた。このとき高電圧用埋め込みチャネル型PMOSTランジスタのゲート酸化膜9は低電圧用埋め込みチャネル型PMOSTランジスタのゲート酸化膜となる領域の自然酸化膜を除去するための洗浄時の膜減りも加わるが、最終的に20nmとなる。また、膜質は低電圧用ゲート熱酸化膜8形成時の熱処理により向上しており、膜の焼き締めが行われるために緻密な膜になっている。このことは膜のエッチレートの比較から確認している。

【0038】その後、図1(h)に示すように、公知の技術を用いてゲート電極10をポリシリコン膜を300

nmの膜厚でCVD法により形成し、 BF_2 を加速電圧50 keV、ドーズ量 $6 \times 10^{15} \text{ cm}^{-2}$ の条件で注入し、熱処理を施してソース/ドレインの拡散層11を形成する。その後、従来技術により層間膜、配線膜、パッシベーション膜を順次形成し、所望の半導体素子を形成した。

【0039】ここで、高温CVD酸化膜6のかわりにその他の製法によりCVD酸化膜、例えばECRCVD酸化膜を用いても最終的に同じ効果が得られる。また、例えばNOガスを含む系で形成されたCVD酸化膜を用い

【0040】一方、低電圧用ゲート熱酸化膜8の形成時の熱処理を少なくとも N_2O ガス又はNOガスを含んだ系で行えば、高電圧用ゲート酸化膜9、及び低電圧用ゲート熱酸化膜8に窒素が導入され、両方のゲート酸化膜の信頼性が向上する。

【0041】次に、この発明の第2の実施の形態につき説明する。図2は、この発明の第2の実施の形態を工程別に示す断面図である。この実施の形態は高電圧用、

【0042】図2(a)に示すように、シリコン半導体基板1上に公知のLOCOS法により素子分離酸化膜2を形成後、シリコン半導体基板1全面に、 850°C のウェット酸化雰囲気でしきい値調整用の不純物注入用ゲート酸化膜3を10 nm成長させる。

【0043】次に、図2(b)に示すように、シリコン半導体基板1の上からしきい値電圧調整用の不純物4として、リン(P)を加速電圧120 keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ の条件で注入した後、ボロンを加速電圧15 keV、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ の条件で注入し、トランジスタのチャンネルを形成する部分に不純物層5を形成する。

【0044】続いて、図2(c)に示すように、シリコン基板1上にドーブトCVD法により、 SiH_4 ガスと PH_3 ガスの混合ガスにより 600°C でシート抵抗で700~800 Ω の膜厚8 nmのポリシリコン膜12を形成する。

【0045】しかる後に、図2(d)に示すように、高電圧用埋め込みチャネル型PMOSTランジスタのゲート酸化膜となる領域にレジスト7を公知のフォトリソ技術により形成する。

【0046】その後、図2(e)に示すように、レジスト7をマスクにして、高電圧用埋め込みチャネル型PMOSTランジスタのゲート酸化膜となる領域以外にあるポリシリコン膜12をKOH(水酸化カリウム)を含む水溶液を用いて、しきい値調整用不純物注入用ゲート酸化膜3をHF(フッ酸)を含む水溶液を用いてそれぞれウェット除去する。

【0047】そして、図2(f)に示すようにレジスト7を除去した後、低電圧用埋め込みチャネル型PMOSTランジスタのゲート酸化膜となる領域の自然酸化膜を除去するための洗浄を行った後、図2(g)に示すように、 900°C のドライ酸素雰囲気中で低電圧用ゲート熱酸化膜8を8 nm成長させる。この時、高電圧用埋め込みチャネル型PMOSTランジスタのゲート酸化膜13は、熱処理前はポリシリコン膜12としきい値調整用不純物注入用ゲート酸化膜3の積層膜であったが、熱処理後にはポリシリコン膜12が酸化膜になるので、最終的にすべて酸化膜の膜厚24 nmの高電圧用ゲート酸化膜13が形成できた。これは断面TEMにより確認している。

【0048】この実施の形態のように、ポリシリコン膜12の膜厚を低電圧用ゲート酸化膜8の膜厚以下にすることで、単結晶シリコン半導体基板とポリシリコン膜とではポリシリコン膜のほうが単結晶シリコン半導体基板よりも1.5倍程度酸化レートが早いので、低電圧用ゲート熱酸化膜8を8 nm形成するときの酸化雰囲気の熱処理でポリシリコン膜をすべて酸化膜にすることが容易になった。

【0049】また、不純物、例えば、リン(P)を導入し、シート抵抗で300~400 Ω の膜厚8 nmのポリシリコン膜を膜厚12 nm形成したとき、この場合、単結晶シリコン半導体基板とポリシリコン膜とではポリシリコン膜の方が単結晶シリコン半導体基板よりも2.0倍程度酸化レートが早くなるので低電圧用ゲート熱酸化膜8を8 nm形成するときの酸化雰囲気の熱処理でアモルファスシリコン膜をすべて酸化膜にすることが、さらに容易になり、最終的にすべて酸化膜の膜厚34 nmのゲート酸化膜が形成できた。これは断面TEMにより確認している。

【0050】その後、図2(h)に示すように、公知の技術を用いてゲート電極10をポリシリコン膜を300 nmの膜厚でCVD法により形成し、 BF_2 を加速電圧50 keV、ドーズ量 $6 \times 10^{15} \text{ cm}^{-2}$ の条件で注入し、熱処理を施し、ソース/ドレインの拡散層11を形成する。その後、公知の技術により層間膜、配線膜、パッシベーション膜を順次形成し、所望の半導体素子を形成した。

【0051】ここで、ポリシリコン膜12の代わりにアモルファスシリコン膜を用いても、アモルファスシリコン膜とポリシリコン膜の複合膜でも最終的に同じ効果が得られる。

【0052】

【発明の効果】以上説明したように、この発明の製造方法によれば、低電圧用半導体素子において半導体素子の微細化によるゲート酸化膜の薄膜化の要求を満足させることができる。また同一基板上の高電圧用素子を含むすべての半導体素子において、低電圧用半導体素子はもちろん、高電圧用半導体素子のゲート絶縁膜膜について

は、下部のゲート絶縁膜膜には、始めしきい値電圧調整用の不純物を注入されて膜にダメージが残るが、その後熱処理とその直上部の品質のよい膜の形成により、全体として高電圧用半導体素子のゲート絶縁膜の信頼性を確保できる。そして特に高電圧用半導体素子のゲート絶縁膜膜について、その膜厚は下部のゲート絶縁膜膜の直上部に形成する膜の膜厚により、全体の膜厚の自由度を改善できる。

【0053】また、第3の工程における絶縁膜が少なくともCVD酸化膜または窒素を含んだCVD酸化膜で構成されている膜を用いると、高電圧用半導体素子のゲート絶縁膜の信頼性が向上する。

【0054】また、第3の工程における半導体膜を少なくともポリシリコン膜もしくはアモルファスシリコン膜のどちらか一方を含む膜にすれば、膜形成温度を比較的低温で形成することができ、均一性も比較的良くできるために、温度によるチャネル不純物の再拡散を抑えることができ、高電圧用半導体素子のゲート絶縁膜を均一にできるので良好な素子を作成することができる。

【0055】また、第3の工程における半導体膜の膜厚を第6の工程で形成する低電圧用半導体素子の絶縁膜の膜厚よりも薄くすれば、高電圧用半導体素子のゲート絶縁膜には、未反応の半導体膜が残らないですべて酸化膜にすることができるので、高電圧用半導体素子の電気特性にバラツキを生じることがない。

【0056】前記第3の工程における半導体膜に不純物を導入し、酸化雰囲気での酸化レートを大きくすることによって、第6の工程での低電圧用半導体素子のゲート絶縁膜形成時に半導体膜をすべて酸化膜にするように構成すると、高電圧用半導体素子のゲート絶縁膜につい

て、下部のゲート絶縁膜の直上部に形成する半導体膜は、未反応の半導体膜が残らないですべて酸化膜にすることができ、かつその膜厚をさらに大きくできるので、全体の膜厚の自由度を大幅に改善できる。

【0057】また、第6の工程における酸化雰囲気が少なくとも N_2O または NO を含んだ酸化性雰囲気と構成すると、高電圧用半導体素子のゲート絶縁膜及び低電圧用半導体素子のゲート絶縁膜に窒素が導入され、両方のゲート絶縁膜の信頼性が向上する。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態を工程別を示す断面図である。

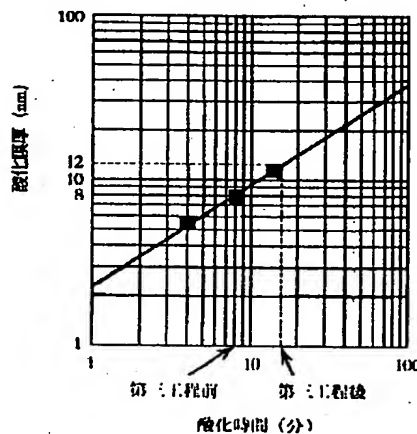
【図2】この発明の第2の実施の形態を工程別を示す断面図である。

【図3】酸化時間と酸化膜厚との関係を示す特性図である。

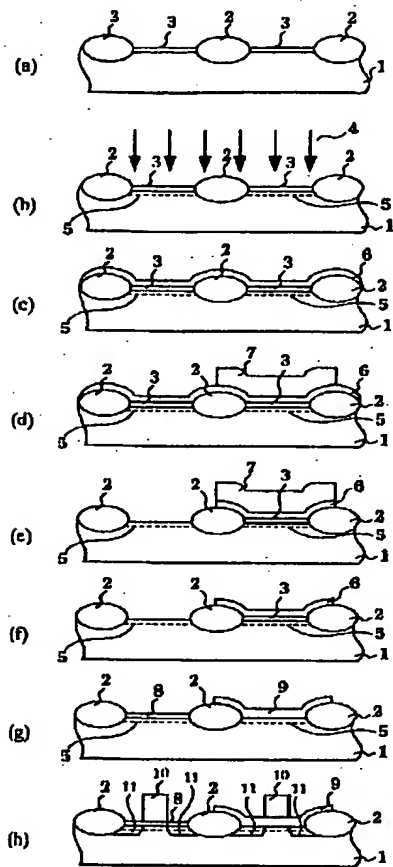
【符号の説明】

- 1 シリコン半導体基板
- 2 素子分離酸化膜
- 3 しきい値調整用の不純物注入用ゲート酸化膜
- 4 しきい値調整用不純物
- 5 不純物層
- 6 CVD酸化膜
- 7 レジスト
- 8 低電圧用ゲート酸化膜
- 9 高電圧用ゲート酸化膜
- 10 ポリシリコンゲート電極
- 11 ソース/ドレイン拡散層
- 12 ポリシリコン膜
- 13 高電圧用ゲート酸化膜

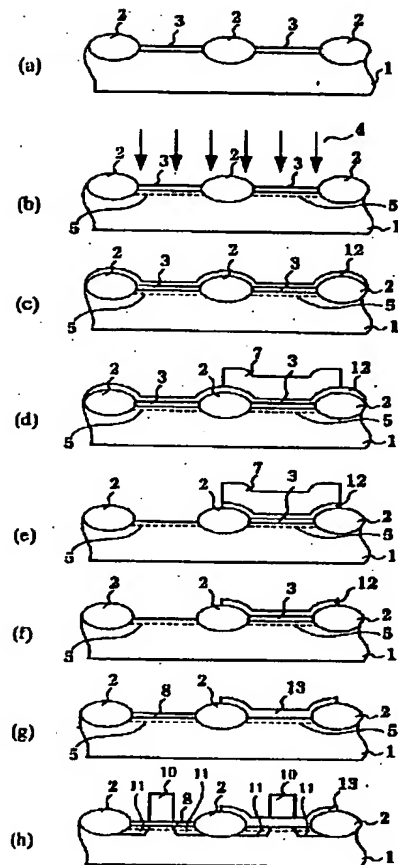
【図3】



【図 1】



【図 2】



フロントページの続き

(51)Int.Cl.⁶

H 0 1 L 21/316

29/78

21/336

識別記号

庁内整理番号

F I

H 0 1 L 27/08

29/78

技術表示箇所

3 2 1 C

3 0 1 P